

PATENT OFFICE
JAPANESE GOVERNMENT

JC996 U.S. PTO
10/092089
03/05/02

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: October 24, 2001

Application Number: No. 2001-326090
[ST.10/C]: [JP2001-326090]

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

January 18, 2002

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2001-3117418

EL 828170885 US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc996 U.S. PTO
10/092089
03/05/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月24日

出 願 番 号

Application Number:

特願2001-326090

[ST.10/C]:

[JP2001-326090]

出 願 人

Applicant(s):

日本電信電話株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

【書類名】 特許願

【整理番号】 NTTH135921

【提出日】 平成13年10月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 岸根 桂路

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 市野 晴彦

【特許出願人】

【識別番号】 000004226

【住所又は居所】 東京都千代田区大手町二丁目3番1号

【氏名又は名称】 日本電信電話株式会社

【代表者】 宮津 純一郎

【代理人】

【識別番号】 100083194

【住所又は居所】 東京都新宿区四谷3丁目13番7号 三栄ビル3階

【弁理士】

【氏名又は名称】 長尾 常明

【電話番号】 03(3352)2421

【手数料の表示】

【予納台帳番号】 050681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 要約書 1

【物件名】 図面 1

【包括委任状番号】 9701419

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック／データ・リカバリ回路

【特許請求の範囲】

【請求項 1】

入力データ信号のビットレートの $1/2$ の周波数のクロック信号を発振する第 1 の電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を $1:N$ ($N \geq 2$) に多重分離する多重分離回路と、前記クロック信号をクロックとして前記多重分離回路の N 個の多重分離出力信号を $N:1$ に多重化する多重化回路と、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う第 1 の位相比較器と、該第 1 の位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させる第 1 のローパスフィルタ回路と、前記第 1 の電圧制御発振器から出力するクロック信号を m ($m = N - 1$) 分周する m 分周器とを具備し、前記 m 分周器から出力するクロック信号と前記多重分離回路から出力する N 個のデータ信号とを平行出力とするクロック／データ・リカバリ回路において、

前記第 1 の電圧制御発振器から出力するクロック信号を 90 度遅延する第 1 の 90 度遅延回路と、該第 1 の 90 度遅延回路の出力信号と前記第 1 の電圧制御発振器から出力するクロック信号とを乗算して前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する乗算器とを具備し、前記多重化回路から出力するデータ信号と前記乗算器から出力するクロック信号とをシリアル出力とすることを特徴とするクロック／データ・リカバリ回路。

【請求項 2】

入力データ信号のビットレートの $1/2$ の周波数のクロック信号を発振する第 1 の電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を $1:N$ ($N \geq 2$) に多重分離する多重分離回路と、前記クロック信号をクロックとして前記多重分離回路の N 個の多重分離出力信号を $N:1$ に多重化する多重化回路と、前記遅延回路の出力信号を 90 度遅延させる第 2 の 90 度遅延回路と、該第 2 の

90度遅延回路の出力信号と前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う第2の位相比較器と、該第2の位相比較器の出力信号から直流成分を取り出し前記第1の電圧制御発振器に制御電圧として入力させる第1のローパスフィルタ回路と、前記第1の電圧制御発振器から出力するクロック信号を m ($m=N-1$) 分周する m 分周器とを具備し、前記 m 分周器から出力するクロック信号と前記多重分離回路から出力する N 個のデータ信号とを平行出力とするクロック／データ・リカバリ回路において、

前記第1の電圧制御発振器から出力するクロック信号を90度遅延する第1の90度遅延回路と、該第1の90度遅延回路の出力信号と前記第1の電圧制御発振器から出力するクロック信号とを乗算して前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する乗算器とを具備し、前記多重化回路から出力するデータ信号と前記乗算器から出力するクロック信号とをシリアル出力とすることを特徴とするクロック／データ・リカバリ回路。

【請求項3】

請求項1又は2において、

前記第1の電圧制御発振器を前記入力データ信号のビットレートの1/2の周波数の第1のクロック信号と該第1のクロック信号に対して直交関係にある同一周波数の第2のクロック信号を出力する第2の電圧制御発振器に置換すると共に、前記第1の90度遅延回路を削除し、前記乗算器に前記第1および第2のクロック信号を入力して、前記入力データ信号のビットレートと同じ周波数のクロック信号を出力するようにしたことを特徴とするクロック／データ・リカバリ回路。

【請求項4】

請求項1又は2において、

前記第1の90度遅延回路と前記乗算器に代えて、前記第1の電圧制御発振器から出力するクロック信号を2通倍し前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する2通倍器を設けたことを特徴とするクロック／データ・リカバリ回路。

【請求項5】

請求項3において、

前記第 2 の電圧制御発振器は、同じ遅延時間を持ち且つ制御電圧により該遅延時間が同時に制御される $2k$ 個 ($k \geq 1$) のバッファ回路を直列接続すると共に、 $2k$ 段目のバッファ回路の反転出力を初段のバッファ回路の入力に接続してなり、前記 $2k$ 段目のバッファ回路の出力を前記第 1 のクロック信号とし、 k 段目のバッファ回路の出力を前記第 2 のクロック信号とすることを特徴とするクロック／データ・リカバリ回路。

【請求項 6】

請求項 4 において、

前記 2 通倍器は、第 3 の位相比較器と、該第 3 の位相比較器の出力信号から直流成分を取り出す第 2 のローパスフィルタ回路と、該第 2 のローパスフィルタ回路の出力信号により発振周波数が制御される第 3 の電圧制御発振器と、該第 3 の電圧制御発振器の出力信号を 2 分周する 2 分周器とからなり、該 2 分周器の出力信号と前記第 1 の電圧制御発振器の出力信号とを前記第 3 の位相比較器に入力して、前記第 3 の電圧制御発振器から前記入力データ信号のビットレートと同じ周波数のクロック信号を取り出すことを特徴とするクロック／データ・リカバリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力データ信号のビットレートの $1/2$ の周波数のクロック信号を発振する電圧制御発振器を使用して、入力データ信号からクロック信号とデータ信号を抽出するクロック／データ・リカバリ回路に関するものである。

【0002】

【従来の技術】

図 10 に従来のクロック／データ・リカバリ回路のブロック図を示す（特願 2001-063775）。図 10 において、1 は入力データ信号 DIN をタイミング調整のために遅延させる遅延回路、2 は入力データ信号 DIN のビットレートの $1/2$ の周波数で発振する電圧制御発振器（VCO）、3 はその電圧制御発振器 2 から出力するクロック信号 CLK をクロックとして入力データ信号 DIN に対し 1 : N

($N \geq 2$) の多重分離操作を行う多重分離回路 (DEMUX)、4 はクロック信号 CLK をクロックとして多重分離回路 3 の N 個の出力信号 $DX1, DX2, \dots, DXN$ に対し $N:1$ の多重化操作を行う多重化回路 (MUX)、5 はその多重化回路 4 の出力信号 $MX1$ と遅延回路 1 の出力信号の位相を比較する EXOR 等からなる位相比較器 (PC)、6 は位相比較器 5 の出力信号から直流成分を取り出すローパスフィルタ回路 (LPF)、7 はそのローパスフィルタ回路 6 の出力信号を増幅して電圧制御発振器 2 に制御電圧として入力するゲインコントロールアンプ (GCA)、8 はクロック信号 CLK を m ($m=N-1$) 分周する m 分周器である。 m 分周器 8 の出力信号がクロック信号 CLK_m 、多重分離回路 3 の出力信号 $DX1, DX2, \dots, DXN$ がデータ信号であり、これらがパラレル出力信号となる。

【0003】

ここでは、多重分離回路 3 で入力データ信号 DIN を一旦 $1:N$ に多重分離し、再度多重化回路 4 で $N:1$ に多重化させることにより、その多重化回路 4 の出力信号 $MX1$ の位相は、クロック信号 CLK の位相と同期した信号となる。この出力信号 $MX1$ と遅延回路 1 の出力信号を位相比較器 5 で位相比較することにより、それらの位相差に応じた時間幅を有するパルス信号が位相比較器 5 から出力され、ローパスフィルタ回路 6 でこの信号の直流成分が抽出され、ゲインコントロールアンプ 7 で増幅されて制御電圧として電圧制御発振器 2 に入力される。

【0004】

なお、多重分離回路 3 は、 $N=2$ のときには、図 1.1 に示すように 2 個の D 型フリップフロップ回路 3.1、3.2 で構成され、それぞれの出力信号が $DX1, DX2$ となる。また、多重化回路 4 は、 $N=2$ のときは、図 1.2 に示すように、セレクトア 4.1 とクロック遅延回路 4.2 で構成され、クロック信号 CLK をクロック遅延回路 4.2 でタイミング調整した信号でセレクトア 4.1 を交互に切り替え、信号 $DX1, DX2$ を交互にセレクトして出力する。

【0005】

このクロック/データ・リカバリ回路では、電圧制御発振器 2 の出力クロック信号 CLK の位相と同期した位相を有するデータ信号 $MX1$ を発生させ、このデ

ータ信号MX 1と入力データ信号D I Nの位相比較結果により電圧制御発振器 2を制御するので、同期状態において電圧制御発振器 2の出力信号の位相が一意的に決まり、低ジッタが実現可能となる。

【0 0 0 6】

このように、入力データ信号のビットレートの1/2周波数のクロック信号を発振する電圧制御発振器の発振信号を利用し、入力データ信号に対し多重分離および多重化の操作を行って電圧制御発振器の発振信号と同期した位相を有するデータ信号を発生させ、これを入力データ信号と位相比較器で位相比較するようにしたPLL構成により、同期状態（ロック状態）において両信号の周波数差に応じて電圧制御発振器の出力信号位相が一意に定まり、低ジッタ実現が可能となり、クロック／データ・リカバリ回路の高性能化を図ることができる。

【0 0 0 7】

【発明が解決しようとする課題】

ところが、この図10に示すクロック／データ・リカバリ回路において出力可能な信号は、入力データを識別した信号MX 1、1 : Nに多重分離したN個の平行信号DX 1, DX 2, . . . , DX Nと、入力データ信号のビットレートの1/2以下の周波数を有するクロック信号CLK_mのみであり、入力ビットレートと同一周波数のクロック信号（シリアルクロック信号）を出力する機能がないという問題があった。

【0 0 0 8】

本発明の目的は、従来の平行信号出力機能に加えて、シリアル信号出力機能（クロックおよびデータ）を実現したクロック／データ・リカバリ回路を提供することである。

【0 0 0 9】

【課題を解決するための手段】

請求項1に係る発明は、入力データ信号のビットレートの1/2の周波数のクロック信号を発振する第1の電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を1 : N (N ≥ 2) に多重分離する多重分離回路と、前記クロック

信号をクロックとして前記多重分離回路の N 個の多重分離出力信号を $N:1$ に多重化する多重化回路と、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う第1の位相比較器と、該第1の位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させる第1のローパスフィルタ回路と、前記第1の電圧制御発振器から出力するクロック信号を m ($m = N - 1$) 分周する m 分周器とを具備し、前記 m 分周器から出力するクロック信号と前記多重分離回路から出力する N 個のデータ信号とを平行出力とするクロック／データ・リカバリ回路において、前記第1の電圧制御発振器から出力するクロック信号を90度遅延する第1の90度遅延回路と、該第1の90度遅延回路の出力信号と前記第1の電圧制御発振器から出力するクロック信号とを乗算して前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する乗算器とを具備し、前記多重化回路から出力するデータ信号と前記乗算器から出力するクロック信号とをシリアル出力とすることを特徴とするクロック／データ・リカバリ回路とした。

【0010】

請求項2に係る発明は、入力データ信号のビットレートの $1/2$ の周波数のクロック信号を発振する第1の電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を $1:N$ ($N \geq 2$) に多重分離する多重分離回路と、前記クロック信号をクロックとして前記多重分離回路の N 個の多重分離出力信号を $N:1$ に多重化する多重化回路と、前記遅延回路の出力信号を90度遅延させる第2の90度遅延回路と、該第2の90度遅延回路の出力信号と前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う第2の位相比較器と、該第2の位相比較器の出力信号から直流成分を取り出し前記第1の電圧制御発振器に制御電圧として入力させる第1のローパスフィルタ回路と、前記第1の電圧制御発振器から出力するクロック信号を m ($m = N - 1$) 分周する m 分周器とを具備し、前記 m 分周器から出力するクロック信号と前記多重分離回路から出力する N 個のデータ信号とを平行出力とするクロック／データ・リカバリ回路において、前記第1の電圧制御発振器から出力するクロック信号を90度遅延する第1の90

度遅延回路と、該第 1 の 9 0 度遅延回路の出力信号と前記第 1 の電圧制御発振器から出力するクロック信号とを乗算して前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する乗算器とを具備し、前記多重化回路から出力するデータ信号と前記乗算器から出力するクロック信号とをシリアル出力とすることを特徴とするクロック／データ・リカバリ回路とした。

【 0 0 1 1 】

請求項 3 に係る発明は、請求項 1 又は 2 に係る発明において、前記第 1 の電圧制御発振器を前記入力データ信号のビットレートの 1/2 の周波数の第 1 のクロック信号と該クロック信号に対して直交関係にある同一周波数の第 2 のクロック信号を出力する第 2 の電圧制御発振器に置換すると共に、前記第 1 の 9 0 度遅延回路を削除し、前記乗算器に前記第 1 および第 2 のクロック信号を入力して、前記入力データ信号のビットレートと同じ周波数のクロック信号を出力するようにしたことを特徴とするクロック／データ・リカバリ回路とした。

【 0 0 1 2 】

請求項 4 に係る発明は、請求項 1 又は 2 に係る発明において、前記第 1 の 9 0 度遅延回路と前記乗算器に代えて、前記第 1 の電圧制御発振器から出力するクロック信号を 2 通倍し前記入力データ信号のビットレートと同じ周波数のクロック信号を出力する 2 通倍器を設けたことを特徴とするクロック／データ・リカバリ回路とした。

【 0 0 1 3 】

請求項 5 に係る発明は、請求項 3 に係る発明において、前記第 2 の電圧制御発振器は、同じ遅延時間を持ち且つ制御電圧により該遅延時間が同時に制御される $2k$ 個 ($k \geq 1$) のバッファ回路を直列接続すると共に、 $2k$ 段目のバッファ回路の反転出力を初段のバッファ回路の入力に接続してなり、前記 $2k$ 段目のバッファ回路の出力を前記第 1 のクロック信号とし、 k 段目のバッファ回路の出力を前記第 2 のクロック信号とすることを特徴とするクロック／データ・リカバリ回路とした。

【 0 0 1 4 】

請求項 6 に係る発明は、請求項 4 に係る発明において、前記 2 通倍器は、第 3

の位相比較器と、該第 3 の位相比較器の出力信号から直流成分を取り出す第 2 のローパスフィルタ回路と、該第 2 のローパスフィルタ回路の出力信号により発振周波数が制御される第 3 の電圧制御発振器と、該第 3 の電圧制御発振器の出力信号を 2 分周する 2 分周器とからなり、該 2 分周器の出力信号と前記第 1 の電圧制御発振器の出力信号とを前記第 3 の位相比較器に入力して、前記第 3 の電圧制御発振器から前記入力データ信号のビットレートと同じ周波数のクロック信号を取り出すことを特徴とするクロック／データ・リカバリ回路とした。

【0015】

【発明の実施の形態】

〔第 1 の実施の形態〕

図 1 は本発明の第 1 の実施の形態のクロック／データ・リカバリ回路のブロック図である。図 1 において、1 は入力データ信号 DIN をタイミング調整のために遅延させる遅延回路、2 は入力データ信号 DIN のビットレートの $1/2$ の周波数で発振する電圧制御発振器 (VCO)、3 はその電圧制御発振器 2 から出力するクロック信号 CLK をクロックとして入力データ信号 DIN に対し $1:N$ ($N \geq 2$) の多重分離操作を行う多重分離回路 (DEMUX)、4 はクロック信号 CLK をクロックとして多重分離回路 3 の N 個の出力信号 $DX1, DX2, \dots, DXN$ に対し $N:1$ の多重化操作を行う多重化回路 (MUX)、5 はその多重化回路 4 の出力信号 $MX1$ と遅延回路 1 の出力信号の位相を比較する EXOR 等からなる位相比較器 (PC)、6 は位相比較器 5 の出力信号から直流成分を取り出すローパスフィルタ回路 (LPF)、7 はそのローパスフィルタ回路 6 の出力信号を増幅して電圧制御発振器 2 に制御電圧として入力するゲインコントロールアンプ (GCA)、8 はクロック信号 CLK を m ($m = N - 1$) 分周したクロック信号 $CKLm$ を出力する m 分周器、9 はクロック信号 CLK を 90 度遅延する 90 度遅延回路、10 は 90 度遅延回路 9 の出力クロック信号 $CLK90$ とクロック信号 CLK を乗算してクロック信号 $CLK1$ を出力する乗算器である。

【0016】

本実施形態が図 10 に示した回路と異なるところは、図 1 の回路構成に 90 度遅延回路 9 と乗算器 10 を追加した点である。したがって、図 10 に示した部分

と同じ構成部分では、従来と同様な動作が行われ、 m 分周器 8 から出力するクロック信号 CLK_m と、多重分離回路 3 の出力信号 DX_1 , DX_2 , \dots , DX_N がパラレル信号として出力する。

【0017】

図 7 に乗算器 10 の入出力波形を示した。 f を電圧制御発振器 2 の発振周波数 (Hz)、 t を時刻 (sec) とすると、入力するクロック信号 CLK と CLK_{90} は、

$$CLK : y = \sin(2\pi ft) \quad (1)$$

$$CLK_{90} : y = \sin(2\pi ft + \pi/2) \quad (2)$$

となる。よって、乗算器 10 から出力するクロック信号 CLK_1 は、

$$\begin{aligned} CLK_1 : y &= \sin(2\pi ft) \times \sin(2\pi ft + \pi/2) \\ &= (1/2) \sin(2 \times 2\pi ft) \end{aligned} \quad (3)$$

となる。

【0018】

乗算器 10 の出力クロック信号 CLK_1 の周期 T_1 (sec) は、電圧制御発振器 2 の出力クロック信号 CLK の周期 T の $1/2$ であるので、同期状態において、そのクロック信号 CLK_1 は、入力データ信号 DIN のビットレートと同じ周波数となる。

【0019】

このように、入力データ信号のビットレートと同一周波数のクロック信号 CLK_1 と、この信号 CLK_1 に同期した入力データ信号のビットレートと同一周波数の識別データ信号 MX_1 とからなるシリアル出力信号を、前記したクロック信号 CLK_m および出力信号 DX_1 , DX_2 , \dots , DX_N からなるパラレル出力信号と共に出力することができる。

【0020】

[第 2 の実施形態]

図 2 は本発明の第 2 の実施の形態のクロック／データ・リカバリ回路のブロック図である。図 2 において、図 1 におけるものと同じものには同じ符号を付けた。ここでは、入力データ信号 DIN のビットレートの $1/2$ の周波数のクロック信号 CLK およびこれに対して 90 度位相がずれた (直交関係にある) クロック信

号CLK90を発振する電圧制御発振回路21を採用し、この両クロック信号CLK、CLK90を乗算器10に入力させて、クロック信号CLKの2倍の周波数のクロック信号CLK1を出力する。他は、図1に示した回路と同様である。

【0021】

図8に上記した電圧制御発振器21の構成を示した。本電圧制御発振器21は、同一の遅延時間をもつ $2k$ ($k \geq 1$) 段のバッファ回路B1, B2, . . . , Bk, Bk+1, Bk+2, . . . , B2kを直列接続し、 $2k$ 段目(終段)のバッファ回路B2kの反転出力信号を初段のバッファ回路B1に入力させるようリング状に接続したものである。この電圧制御発振器21で発振するクロック信号CLKの周期Tは、バッファ回路1個当りの遅延時間を t_{pd} とすると、

$$T = 4k \times t_{pd} \quad (4)$$

となる。

【0022】

したがって、クロック信号CLKを $2k$ 段目のバッファ回路の出力からとると、90度移相したクロック信号CLK90はこのクロック信号CLKより $k \times t_{pd}$ だけ遅延した k 段目のバッファ回路Bkの出力から取り出すことができる。なお、ゲインコントロールアンプ7から出力する制御電圧は、各バッファ回路の動作電流を制御することにより、遅延時間 t_{pd} を同時に制御する。

【0023】

本実施形態では、図1の回路のような90度遅延回路9が不要であり、より簡素なクロック/データ・リカバリ回路を実現できる。

【0024】

〔第3の実施形態〕

図3は本発明の第3の実施の形態のクロック/データ・リカバリ回路のブロック図である。図3において、図1におけるものと同じものには同じ符号を付けた。ここでは、入力データ信号DINを遅延する遅延回路1の後段を2分岐しその一方に90度遅延回路11を接続する。そして、遅延回路1の出力信号の分岐した他方の信号と90度遅延回路11の出力信号と多重化回路4の出力信号MX1とを位相比較する位相比較器51を採用する。この位相比較器51では、まず9

0 度遅延回路 1 1 の出力信号と多重化回路 4 の出力信号 M X 1 との位相比較を行い、次にその位相比較結果と遅延回路 1 の出力信号との位相比較を行う（例えば、特願平5-56410）。この位相比較器 5 1 により、入力データ信号 D I N のパターンに依存した位相差成分がキャンセルされる。

【 0 0 2 5 】

本構成は、図 1、図 2 の回路と比べて、同符号連続データ入力に対する耐性が向上する。多重化回路 4 の出力信号 M X 1 の位相変動は、クロック信号 C L K の位相変動に追従し、電圧制御発振器 2 の出力クロック C L K の位相と入力データ信号 D I N の位相との位相差に応じたパルス幅をもつ位相比較信号が位相比較器 5 1 から出力される。

【 0 0 2 6 】

〔第 4 の実施形態〕

図 4 は本発明の第 4 の実施の形態のクロック／データ・リカバリ回路のブロック図である。図 4 において、図 1 におけるものと同じものには同じ符号を付けた。ここでは、図 3 と同様に、入力データ信号 D I N を遅延する遅延回路 1 の後段を 2 分岐しその一方に 9 0 度遅延回路 1 1 を接続して、遅延回路 1 の出力信号の分岐した他方の信号と 9 0 度遅延回路 1 1 の出力信号と多重化回路 4 の出力信号 M X 1 とを、位相比較器 5 1 に入力する。また、図 2 と同様に、入力データ信号 D I N のビットレートの 1/2 の周波数のクロック信号 C L K およびこれに対して 9 0 度位相がずれたクロック信号 C L K 9 0 を発振する電圧制御発振回路 2 1 を採用し、この両クロック信号 C L K と C L K 9 0 を乗算器 1 0 に入力させて、クロック信号 C L K の 2 倍の周波数のクロック信号 C L K 1 を出力する。

【 0 0 2 7 】

本構成では、同符号連続データ入力に対する耐性が向上すると共に、9 0 度遅延回路 9 が不要であり、より簡素なクロック／データ・リカバリ回路を実現できる。

【 0 0 2 8 】

〔第 5 の実施形態〕

図 5 は本発明の第 5 の実施の形態のクロック／データ・リカバリ回路のブロッ

ク図である。図 5 において、図 1 におけるものと同じものには同じ符号を付けた。ここでは、電圧制御発振器 2 から出力するクロック信号 CLK を PLL 型クロック通倍器 12 に入力してその 2 倍の周波数のクロック信号 CLK1 を発生させる。

【0029】

図 9 はこの PLL 型クロック通倍器 12 の内部構成のブロック図である。この通倍器 12 は、クロック信号 CLK と 2 分周器 124 の出力信号との位相比較を行う位相比較器 121、その位相比較器 121 の出力信号から直流成分を取り出すローパスフィルタ回路 122、そのローパスフィルタ回路 122 の出力信号を制御電圧としてクロック信号 CLK1 を発振する電圧制御発振器 123、およびその電圧制御発振器 123 の出力クロック信号 CLK1 の周波数を半分の周波数にする前記した 2 分周器 124 から構成されている。

【0030】

〔第 6 の実施形態〕

図 6 は本発明の第 6 の実施の形態のクロック／データ・リカバリ回路のブロック図である。図 6 において、図 1 におけるものと同じものには同じ符号を付けた。ここでは、図 3 と同様に、入力データ信号 DIN を遅延する遅延回路 1 の後段を 2 分岐しその一方に 90 度遅延回路 11 を接続して、遅延回路 1 の出力信号の分岐した他方の信号と 90 度遅延回路 11 の出力信号と多重化回路 4 の出力信号 MX1 とを、位相比較器 51 に入力する。また、PLL 型クロック通倍器 12 を採用し、電圧制御発振器 2 から出力するクロック信号 CLK をその PLL 型クロック通倍器 12 に入力してその 2 倍の周波数のクロック信号 CLK1 を発生させる。

【0031】

〔発明の効果〕

以上から本発明によれば、入力データ信号のビットレートの 1/2 の周波数で発振する電圧制御発振器を使用したクロック／データ・リカバリ回路において、その電圧制御発振器から出力するクロック信号の 2 通倍の信号を簡単に発生させることができ、従来のパラレル信号出力機能に加えて、クロックおよびデータのシ

リアル信号の出力機能を実現できる利点がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 2】 本発明の第 2 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 3】 本発明の第 3 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 4】 本発明の第 4 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 5】 本発明の第 5 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 6】 本発明の第 6 の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図 7】 図 1 の乗算器 1 0 の入出力波形の波形図である。

【図 8】 図 2、図 4 の電圧制御発振器 2 1 のブロック図である。

【図 9】 図 5、図 6 の PLL 型クロック通倍器 1 2 のブロック図である。

【図 1 0】 従来のクロック／データ・リカバリ回路のブロック図である。

【図 1 1】 $N = 2$ のときの多重分離回路 3 の回路図である。

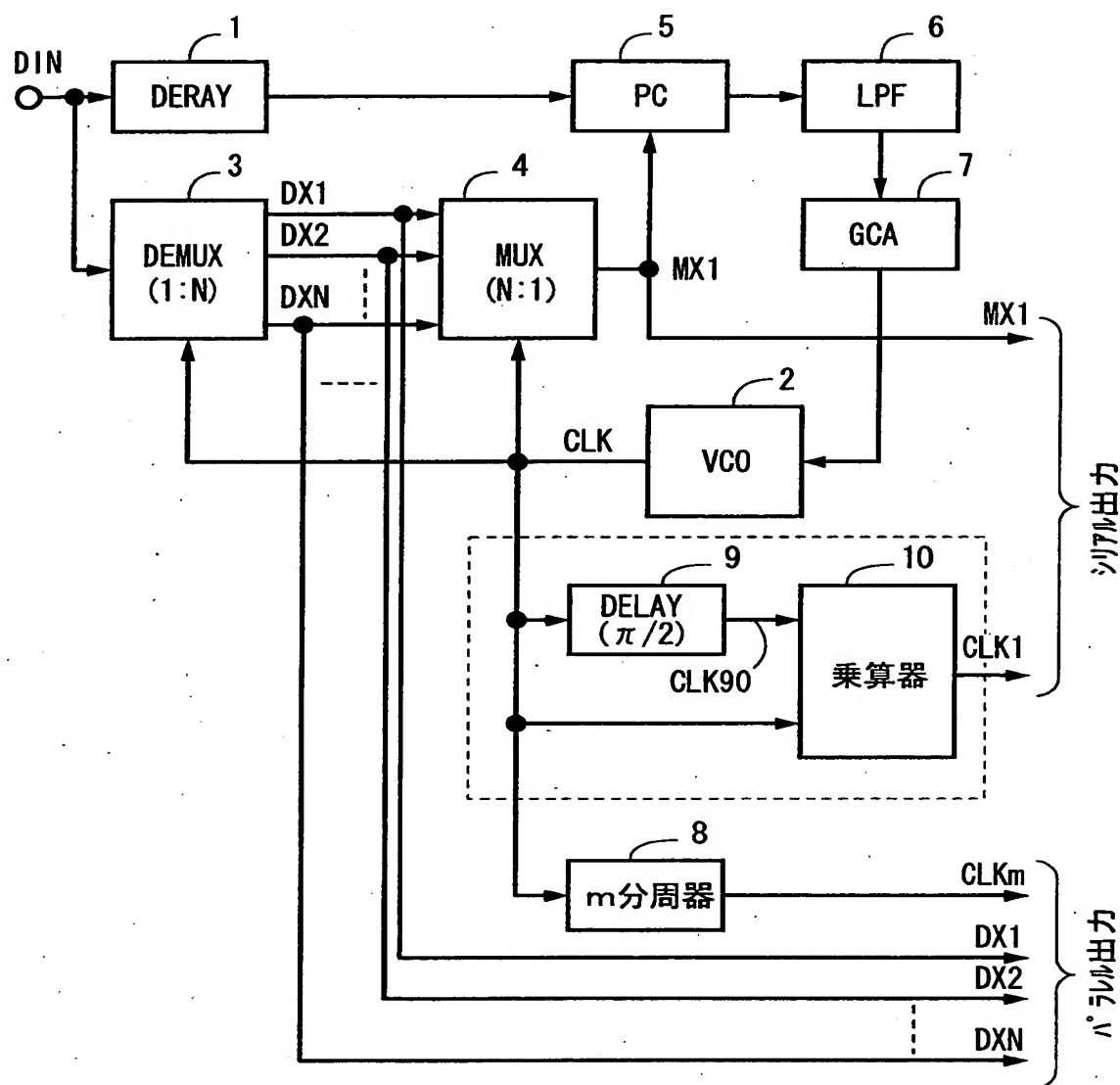
【図 1 2】 $N = 2$ のときの多重回路 4 の回路図である。

【符号の説明】

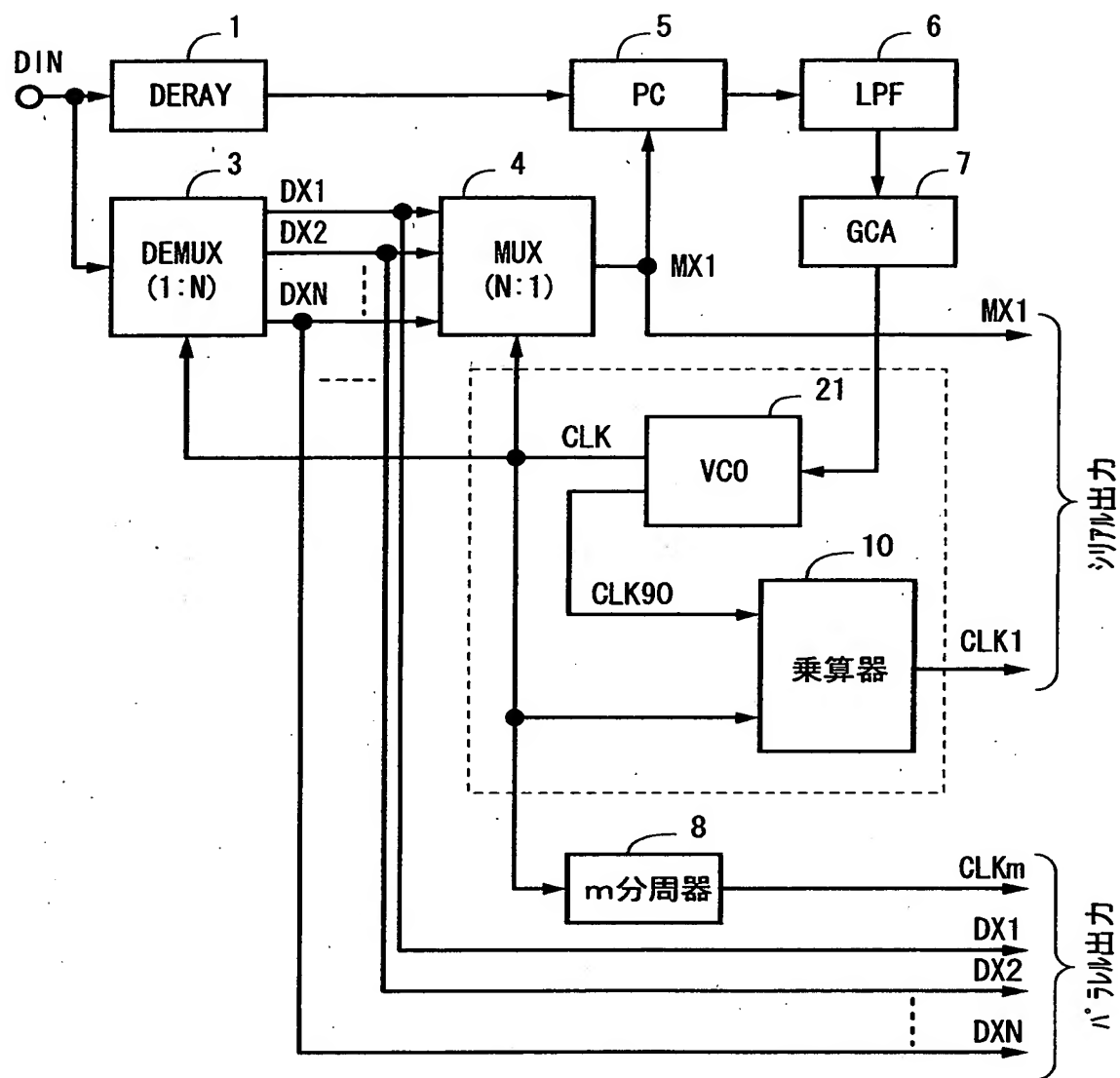
1 : 遅延回路、2、2 1 : 電圧制御発振器、3 : 多重分離回路、4 : 多重化回路、5、5 1 : 位相比較器、6 : ローパスフィルタ回路、7 : ゲインコントロールアンプ、8 : m 分周器、9 : 9 0 度遅延回路、1 0 : 乗算器、1 1 : 9 0 度遅延回路、1 2 : PLL 型クロック通倍器。

【書類名】 図面

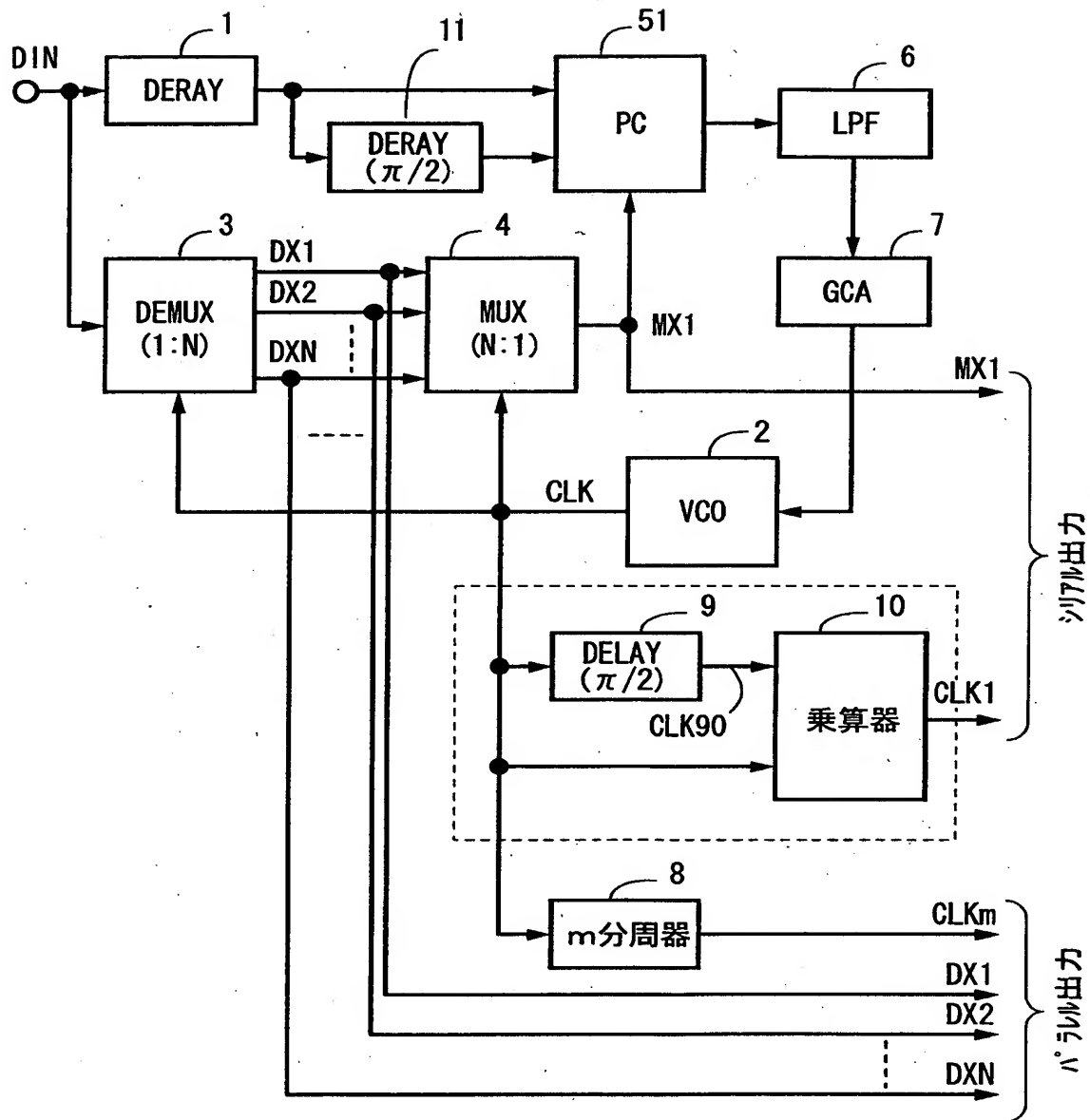
【図 1】



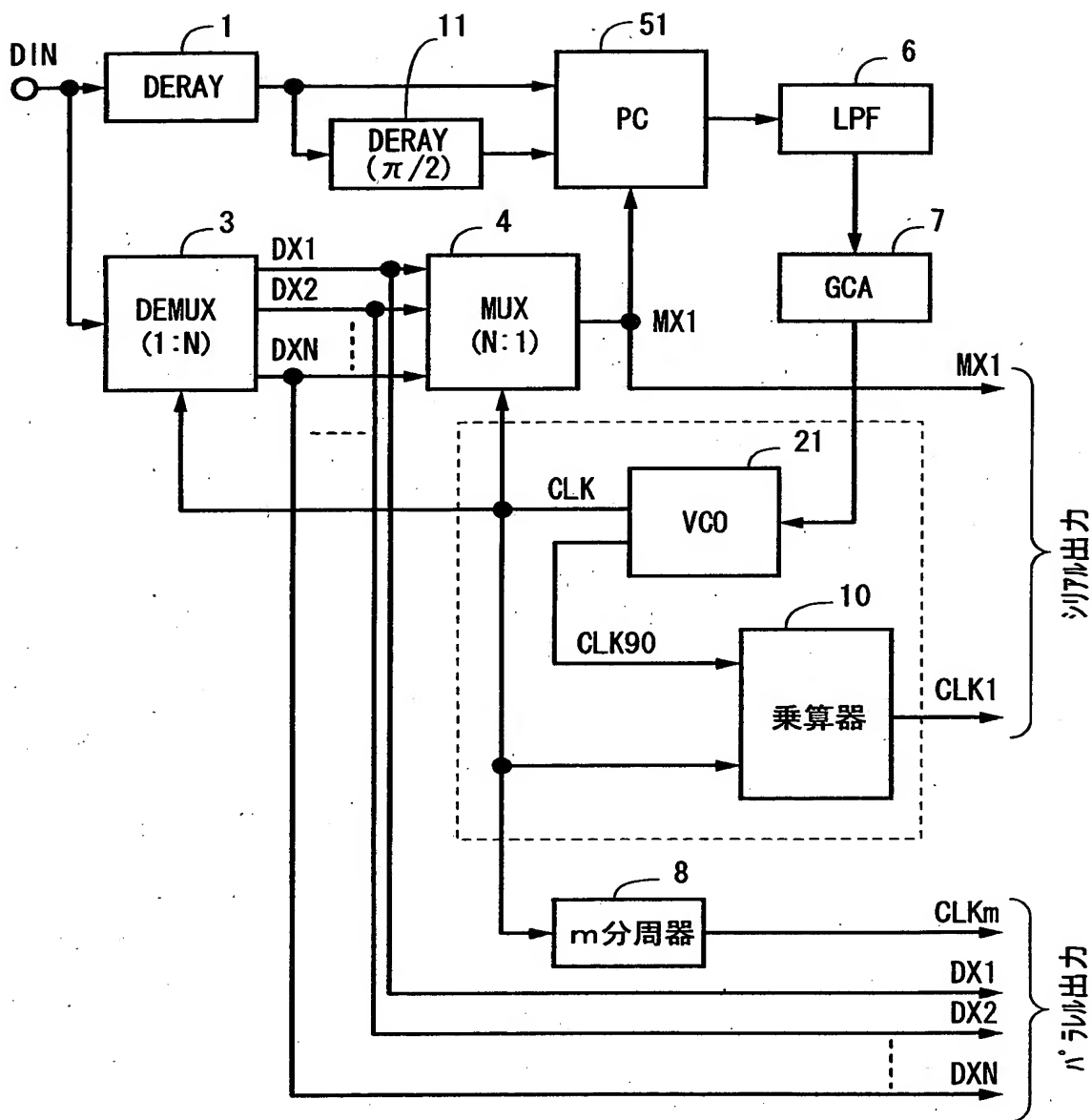
【図 2】



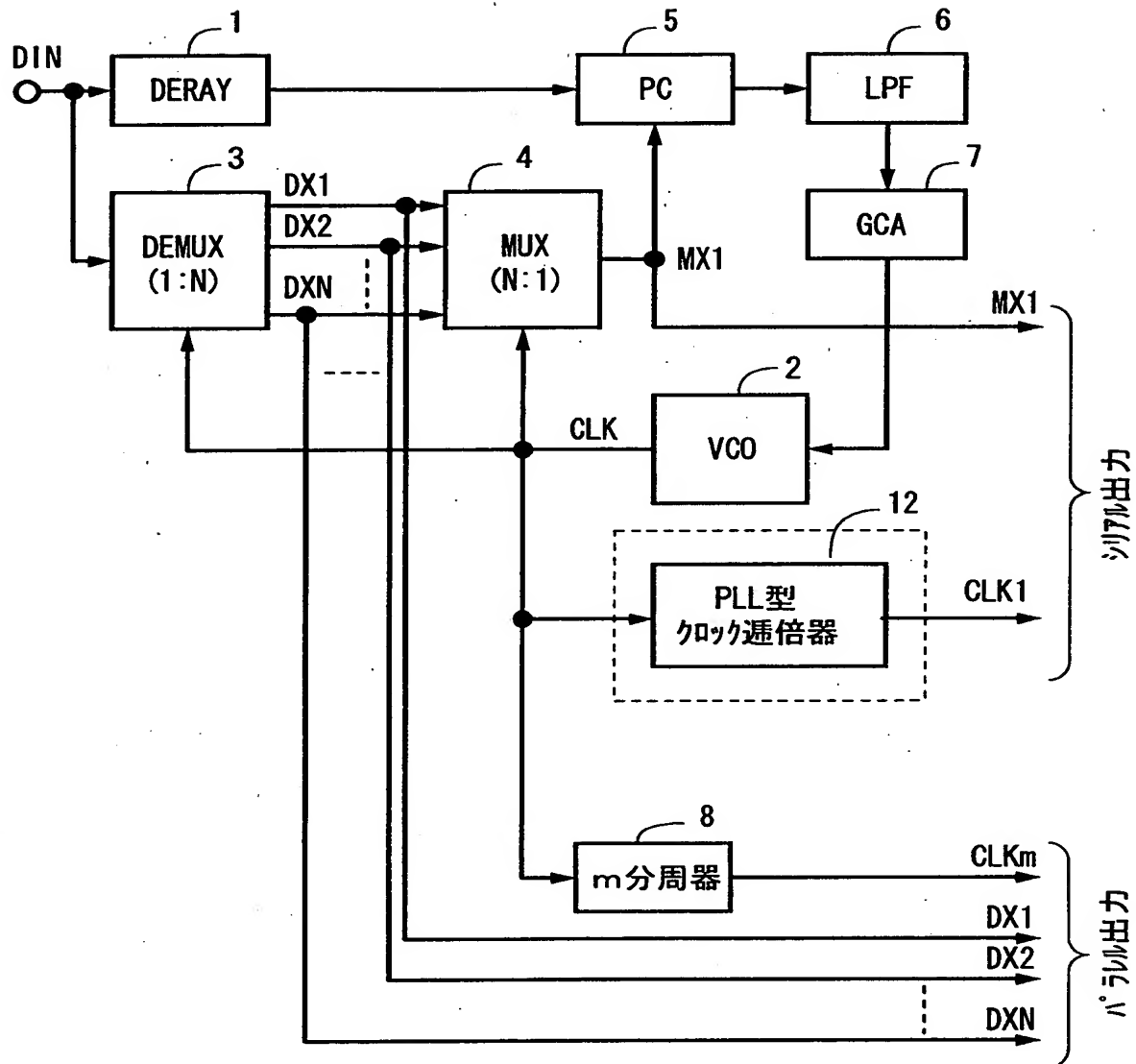
【図 3】



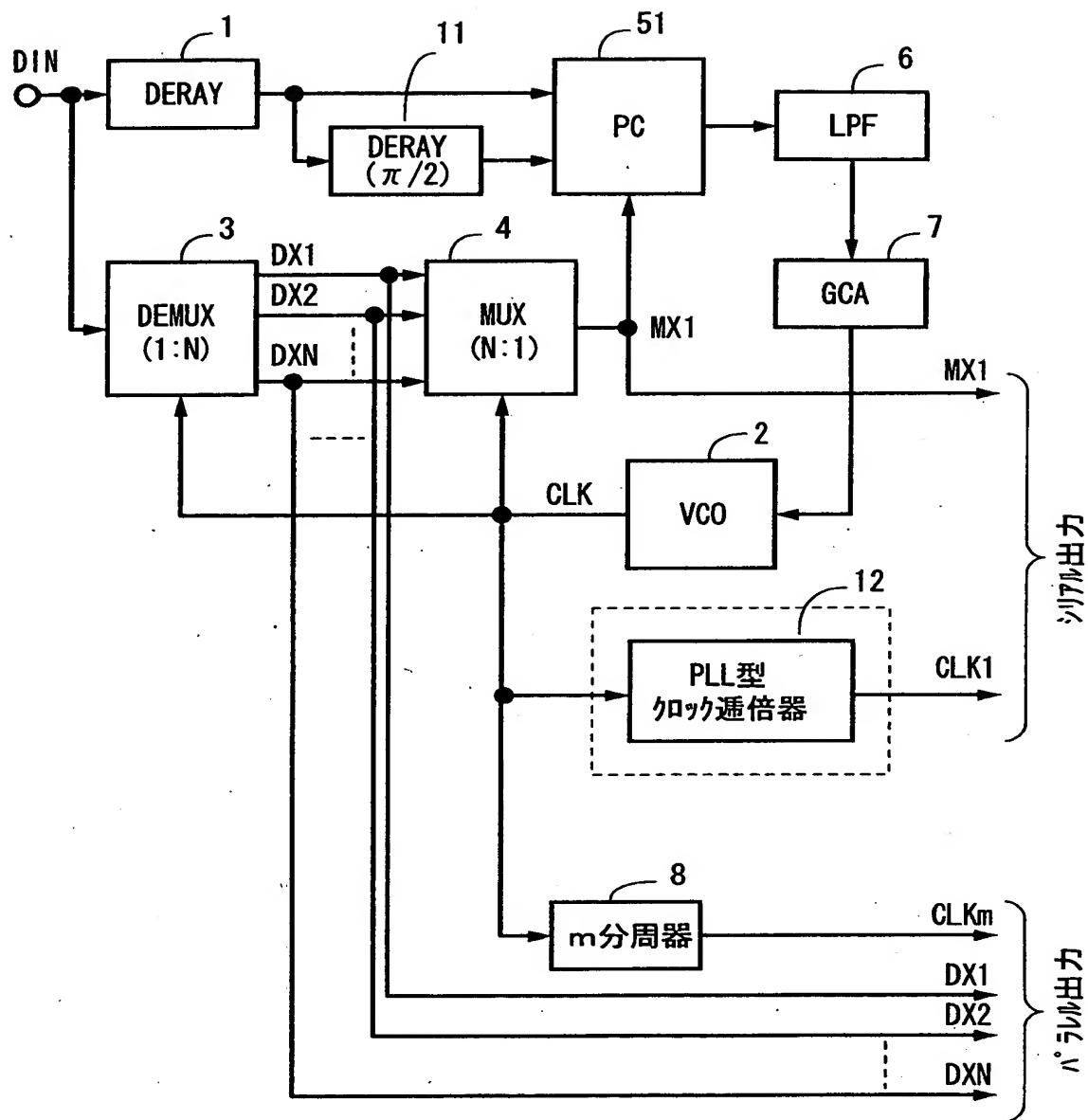
【図 4】



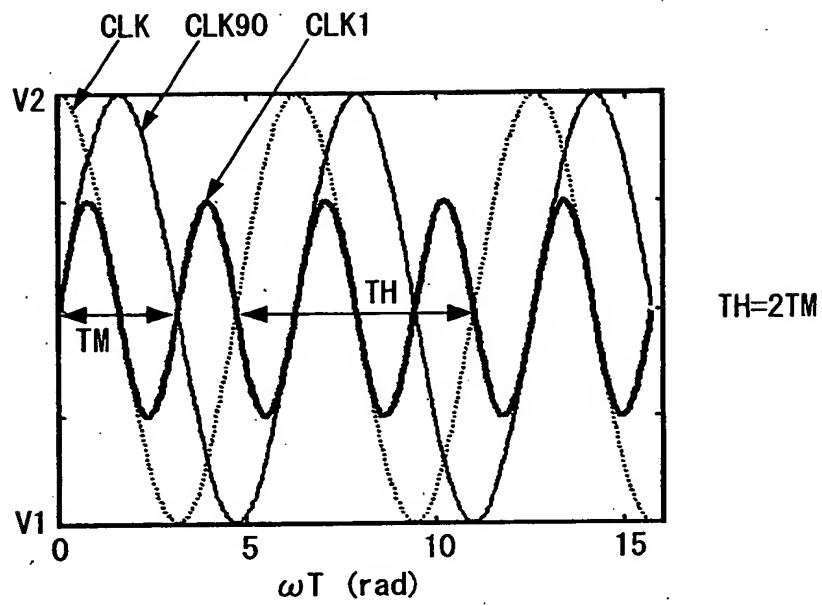
【図 5】



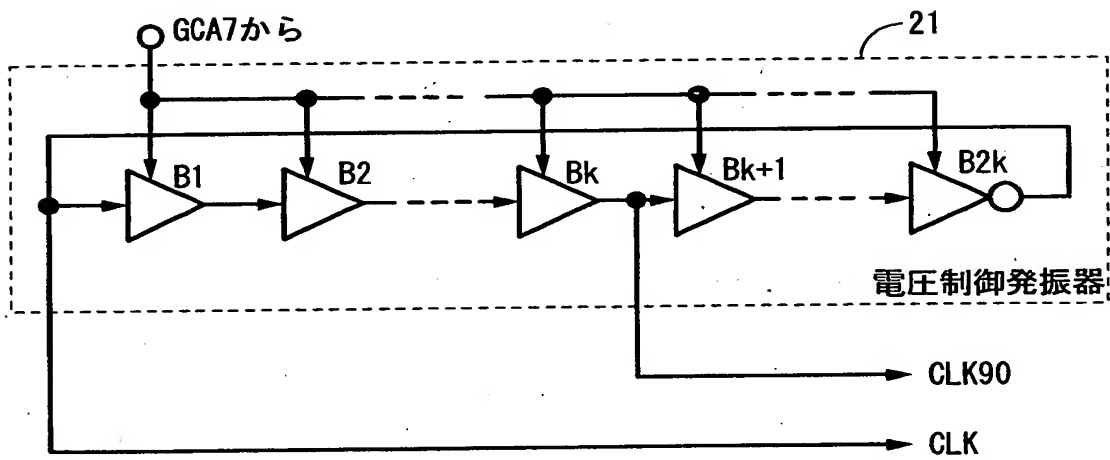
【図 6】



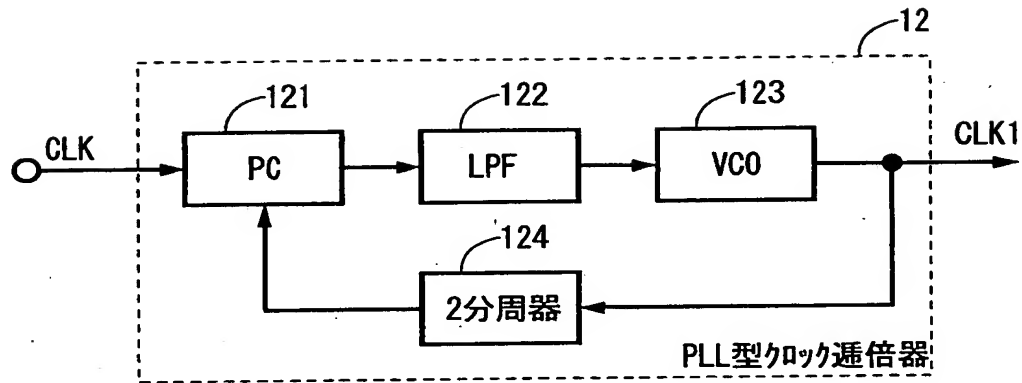
【図7】



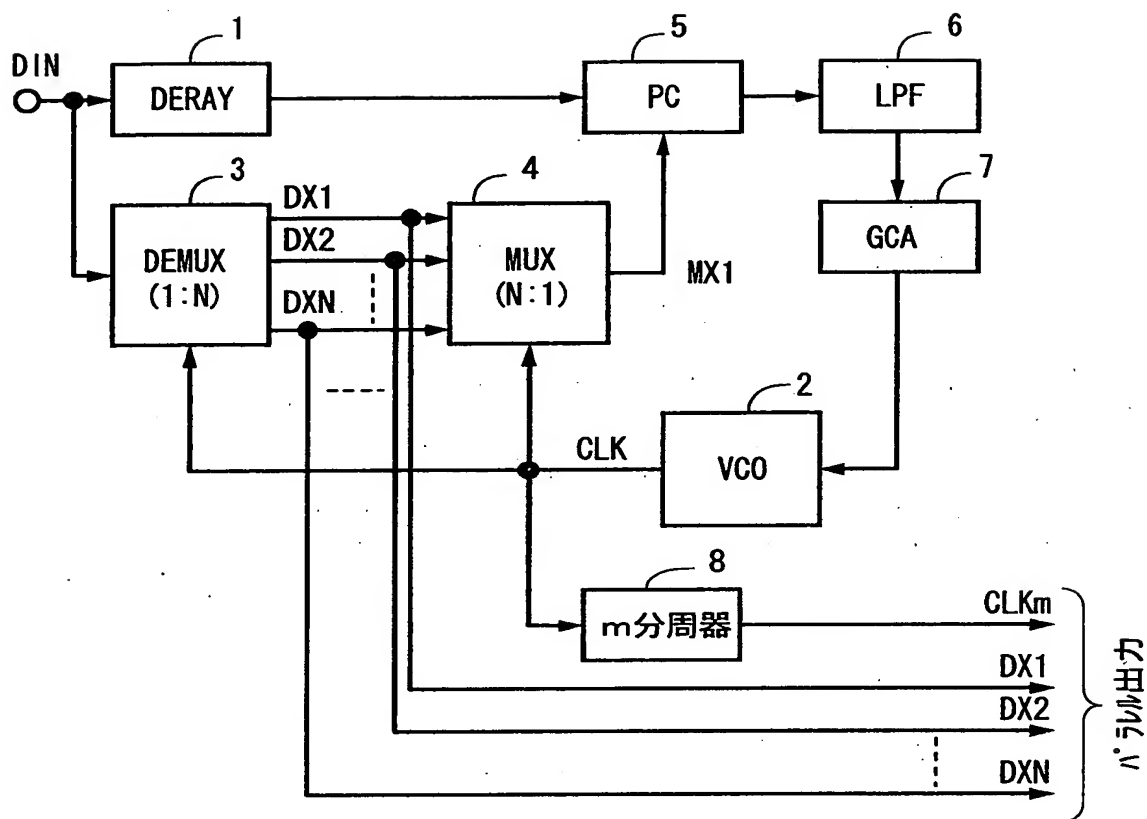
【図8】



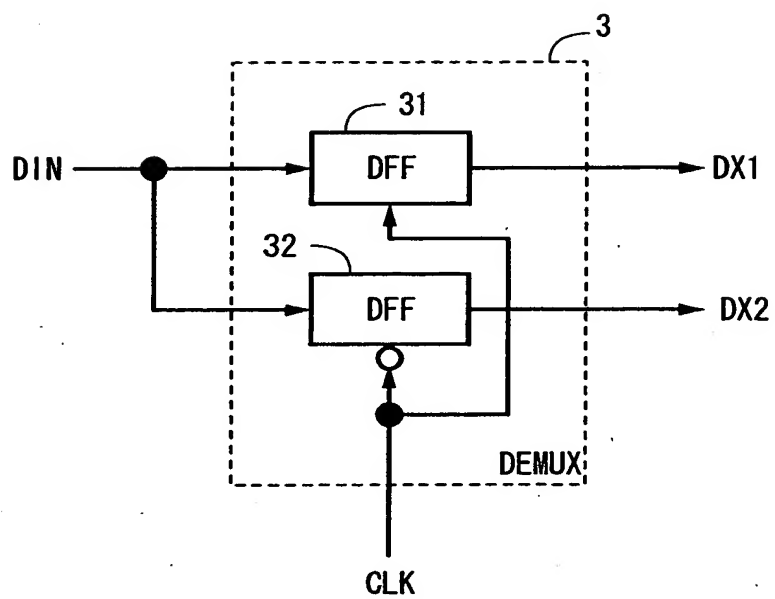
【図 9】



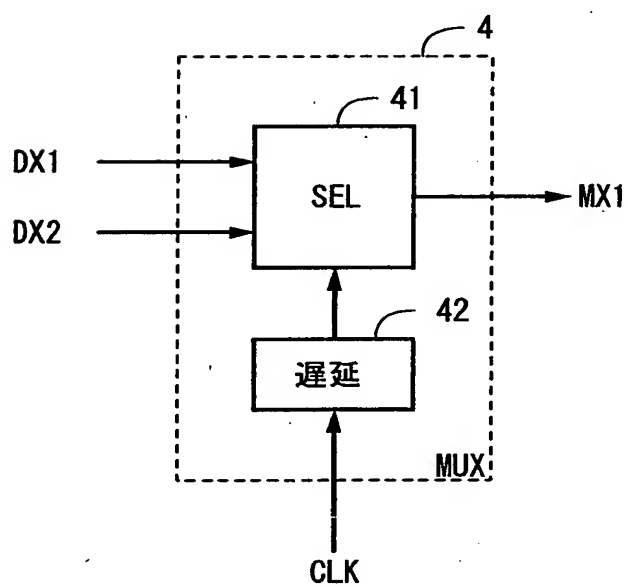
【図10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 クロックおよびデータのシリアル信号の出力機能を実現する。

【解決手段】 遅延回路 1、電圧制御発振器 2、多重分離回路 3、多重化回路 4、位相比較器 5、ローパスフィルタ回路 6、ゲインコントロールアンプ 7、m 分周器 8、90 度遅延回路 9、乗算器 10 を具備する。多重化回路 4 から出力するデータ信号 MX 1 と乗算器 10 から出力するクロック信号 CLK 1（入力データ信号 DIN のビットレートと同じ周波数）とをシリアル出力とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004226]

- | | |
|----------|-------------------|
| 1. 変更年月日 | 1999年 7月15日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都千代田区大手町二丁目3番1号 |
| 氏 名 | 日本電信電話株式会社 |